

PATENT
25611-000070/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: New Application Group Art Unit: Unknown
Filing Date: September 12, 2003 Examiner: Unknown
Applicants: Jin-Ho KIM et al. Conf. No.: Unknown
Title: SEMICONDUCTOR PACKAGE AND PACKAGE STACK
MADE THEREOF

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 12, 2003

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-0074752	November 28, 2002	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By _____

John A. Castellano, Reg. No. 35,094

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:bmd

Enclosure

대

한 민 국 특 허 청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

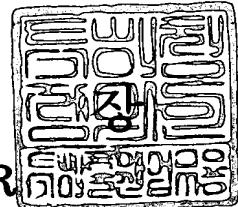
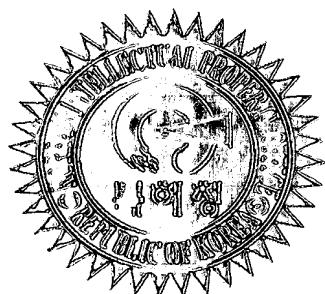
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0074752
Application Number PATENT-2002-0074752

출 원 년 월 일 : 2002년 11월 28일
Date of Application NOV 28, 2002

출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 12 월 23 일



특 허 청

COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.28
【국제특허분류】	H01L 23/28
【발명의 명칭】	반도체 패키지 및 그를 적층한 적층 패키지
【발명의 영문명칭】	Semiconductor package and stack package stacking the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	오세용
【성명의 영문표기】	OH, Se Yong
【주민등록번호】	541215-1388712
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 509동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진호
【성명의 영문표기】	KIM, Jin Ho
【주민등록번호】	611205-1063417
【우편번호】	440-301

1020020074752

출력 일자: 2002/12/24

【주소】

경기도 수원시 장안구 정자1동 청솔마을 SK.한화아파트
621동 204호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
윤동열 (인) 대리인
이선희 (인)

【수수료】

【기본출원료】

18 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

3 항 205,000 원

【합계】

234,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포
괄위임등록, 1999년 3월 15일 복대리인 선임]_1통

【요약서】

【요약】

본 발명은 초박형화된 반도체 패키지 및 그를 적층한 적층 패키지에 관한 것으로, 중심부분에 칩 실장 구멍이 형성된 기판 몸체와, 상기 기판 몸체의 상부면과 하부면에 형성된 배선 패턴층으로, 상기 기판 몸체의 하부면에 형성되며 상기 칩 실장 구멍에 근접하게 형성된 기판 패드와, 상기 기판 패드와 각기 연결된 다수개의 솔더 볼 패드를 갖는 하부 배선층과, 상기 기판 몸체의 상부면에 형성되며 상기 솔더 볼 패드에 대응되는 위치에 형성된 접속 패드를 갖는 상부 배선층을 포함하는 배선 패턴층과, 서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드 사이의 상기 기판 몸체를 관통하여 형성되며, 서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드를 전기적으로 연결하는 비아를 포함하는 배선기판과; 활성면에 다수개의 전극 패드가 형성된 반도체 칩으로, 상기 활성면이 상기 기판 몸체의 하부면을 향하도록 상기 배선기판의 칩 실장 구멍에 삽입된 반도체 칩과; 일단이 상기 반도체 칩의 전극 패드에 웨지 본딩되고, 상기 일단과 연결된 타단이 상기 배선기판의 기판 패드에 웨지 본딩된 본딩 와이어와; 상기 반도체 칩이 삽입된 칩 실장 구멍을 포함하여 상기 본딩 와이어로 포함한 상기 배선기판의 기판 패드 부분을 봉합하는 수지 봉합부; 및 상기 솔더 볼 패드에 형성되며, 상기 수지 봉합부보다는 아래에 형성된 솔더 볼;을 포함하는 것을 특징으로 하는 반도체 패키지를 제공한다. 본 발명은 또한 전술된 반도체 패키지들을 3차원으로 적층 패키지를 제공한다. 즉, 상대적으로 하부에 위치하는 반도체 패키지의 상부면에 노출된 접속 패드에 상대적으로 상부에 위치하는 반도체 패키지의 하부면에 형성된 솔더 볼을 용착하여 적층하며, 적층된 반도체

1020020074752

출력 일자: 2002/12/24

체 패키지 중에서 최하부에 위치하는 반도체 패키지의 솔더 볼을 외부접속단자로 사용하는 것을 특징으로 하는 적층 패키지를 제공한다.

【대표도】

도 1

【색인어】

초박형, 적층, 패키지, 와이어, 웨지

【명세서】**【발명의 명칭】**

반도체 패키지 및 그를 적층한 적층 패키지{Semiconductor package and stack package stacking the same}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 반도체 패키지를 보여주는 부분 절개 사시도이다.

도 2는 도 1의 "A" 부분을 확대하여 보여주는 사시도이다.

도 3은 도 1의 3-3선 단면도이다.

도 4는 도 3의 반도체 패키지들을 3차원으로 적층한 본 발명의 다른 실시예에 따른 적층 패키지를 보여주는 단면도이다.

*** 도면의 주요 부분에 대한 설명 ***

10 : 배선기판 12 : 기판 몸체

13 : 칩 실장 구멍 14 : 배선 패턴층

16 : 비아 홀 18 : 솔더 레지스트 층

21 : 하부 배선층 23 : 상부 배선층

24 : 기판 패드 26 : 솔더 볼 패드

28 : 접속 패드 30 : 반도체 칩

32 : 활성면 34 : 전극 패드

40 : 본딩 와이어 50 : 수지 봉합부

60 : 솔더 볼 100 : 반도체 패키지

200 : 적층 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는 초박형화된 반도체 패키지와, 그 반도체 패키지를 3차원으로 적층한 적층 패키지에 관한 것이다.
- <17> 일반적인 반도체 웨이퍼(semiconductor wafer)는 평면이기 때문에, 한 평면내에 반도체 소자의 집적도를 향상시키는 데 한계가 있다. 또한 집적도를 향상시키는 데도 많은 설비투자가 필요한 실정이다. 따라서, 현재 반도체 패키지의 고집적화를 위하여 많은 회사들 및 학계에서 고밀도 3차원 칩, 3차원 패키지의 적층 방법을 연구하고 있다. 즉, 반도체 웨이퍼를 개별 반도체 소자로 절삭한 이후에 집적도를 높이는 방법을 연구하고 있다.
- <18> 복수개의 반도체 소자를 3차원으로 적층하여 제조된 3차원 적층 칩 패키지는 고집적화를 이를 수 있는 동시에 반도체 제품의 경박단소화에 대한 대응성도 뛰어나다. 반면에 적층 칩 패키지는 패키지 몸체 안에 다수개의 반도체 칩이 내장된 구조를 갖기 때문에, 패키지 몸체 안에 내장된 다수개의 반도체 칩 중에서 어느 하나라도 불량이 발생될 경우 그 적층 칩 패키지 자체가 불량품으로 처리되는 문제점을 안고 있다. 따라서 적층 칩 패키지에 사용되는 반도체 칩에 대한 신뢰성 검증 작업이 반도체 칩 상태에서 이루어져야 하기 때문에, 제조 비용이 상승하는 원인을 제공한다.

<19> 반면에 복수개의 단위 패키지를 3차원으로 적층하여 제조된 3차원 적층 패키지는 고집적화를 이룰 수 있고 단위 패키지에 대한 신뢰성 검증 작업이 용이한 장점이 있는 반면에, 다수개의 단위 패키지를 적층하여 적층 패키지를 구현하기 때문에, 적층 패키지의 두께가 두꺼워 반도체 제품의 경박단소화에 대한 대응성이 떨어지는 문제점을 안고 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명의 목적은 초박형화된 반도체 패키지를 제공하는 데 있다.

<21> 그리고 본 발명의 다른 목적은 초박형화된 반도체 패키지를 3차원으로 적층하여 경박단소화에 대응할 수 있는 적층 패키지를 제공하는 데 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위하여, 중심부분에 칩 실장 구멍이 형성된 기판 몸체와, 상기 기판 몸체의 상부면과 하부면에 형성된 배선 패턴층으로, 상기 기판 몸체의 하부면에 형성되며 상기 칩 실장 구멍에 근접하게 형성된 기판 패드와, 상기 기판 패드와 각기 연결된 다수개의 솔더 볼 패드를 갖는 하부 배선층과, 상기 기판 몸체의 상부면에 형성되며 상기 솔더 볼 패드에 대응되는 위치에 형성된 접속 패드를 갖는 상부 배선층을 포함하는 배선 패턴층과, 서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드 사이의 상기 기판 몸체를 관통하여 형성되며, 서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드를 전기적으로 연결하는 비아를 포함하는 배선기판과; 활성면에 다수개의 전극 패드가 형성된 반도체 칩으로, 상기 활성면이 상기 기판 몸체의 하부면을 향하도록 상기 배선기판의 칩 실장 구멍에 삽입된 반도체 칩과; 일단이 상기 반도체 칩의 전극 패드에 웨지 본

딩되고, 상기 일단과 연결된 타단이 상기 배선기판의 기판 패드에 웨지 본딩된 본딩 와이어와; 상기 반도체 칩이 삽입된 칩 실장 구멍을 포함하여 상기 본딩 와이어로 포함한 상기 배선기판의 기판 패드 부분을 봉합하는 수지 봉합부; 및 상기 솔더 볼 패드에 형성되며, 상기 수지 봉합부보다는 아래에 형성된 솔더 볼;을 포함하는 것을 특징으로 하는 반도체 패키지를 제공한다.

<23> 본 발명의 바람직한 실시 양태에 있어서, 배선기판의 두께는 약 0.12mm이고, 배선 기판 하부면에서 솔더 볼 까지의 높이가 약 0.08mm이다.

<24> 본 발명은 또한 전술된 반도체 패키지들을 3차원으로 적층 패키지를 제공한다. 즉, 전술된 반도체 패키지들을 3차원으로 적층한 적층 패키지로서, 상대적으로 하부에 위치하는 반도체 패키지의 상부면에 노출된 접속 패드에 상대적으로 상부에 위치하는 반도체 패키지의 하부면에 형성된 솔더 볼을 용착하여 적층하며, 적층된 반도체 패키지 중에서 최하부에 위치하는 반도체 패키지의 솔더 볼을 외부접속단자로 사용하는 것을 특징으로 하는 적층 패키지를 제공한다.

<25> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<26> 도 1은 본 발명의 실시예에 따른 반도체 패키지(100)를 보여주는 부분 절개 저면 사시도이다. 도 2는 도 1의 "A" 부분을 확대하여 보여주는 사시도이다. 도 3은 도 1의 3-3선 단면도이다. 한편 도 1에 칩 실장 구멍(13)과 기판 패드(24)를 봉합하는 수지 봉합부의 도시를 생략하였다.

<27> 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 반도체 패키지(100)는 하부 면(15)과 상부면(17)에 배선 패턴층(14)이 형성된 배선기판(10)의 중심 부분의 칩 실장

구멍(13)에 반도체 칩(30)이 삽입되고, 그 반도체 칩(30)과 배선기판의 하부면(15)에 형성된 배선 패턴층(14)이 본딩 와이어(40)에 의해 전기적으로 연결되고, 반도체 칩(30)이 삽입된 칩 실장 구멍(13)과 본딩 와이어(40)로 연결된 배선 패턴층(14) 부분이 수지 봉합부(50)에 의해 봉합되어 보호되고, 수지 봉합부(50) 외측의 배선 패턴층(14)에 솔더 볼들(60)이 형성된 구조를 갖는다. 특히, 약 0.2mm 정도로 초박형화된 반도체 패키지(100)를 구현하기 위해서, 반도체 칩(30)과 배선기판(10)은 웨지 본딩법(wedge bonding method)으로 전기적으로 연결하고, 수지 봉합부(50)가 형성된 배선기판의 하부면(15)에 솔더 볼(60)을 형성하였다.

<28> 본 발명의 실시예에 따른 반도체 패키지(100)를 상세히 설명하면, 배선기판(10)은 기판 몸체(12)의 양면에 배선 패턴층(14)이 형성된 인쇄회로기판으로서, 하부면(15)과 상부면(17)을 가지며 중심부분에 칩 실장 구멍(13)이 형성된 기판 몸체(12)와, 기판 몸체(12)의 양면에 패터닝하여 형성된 배선 패턴층(14)을 포함한다. 예컨대, 반도체 칩은 약 0.05mm 두께의 수준으로 가공이 가능하기 때문에, 배선기판(10)은 약 0.12mm 두께(t1)의 인쇄회로기판을 사용할 수 있다.

<29> 배선기판(10)은 유리 섬유가 함유된 에폭시 수지(Glass-Epoxy Resin) 또는 비티 수지(BT Resin)로 하부면(15)과 상부면(17)을 갖는 박형의 기판 몸체(12)를 형성하고, 양면에 얇은 동박(Copper Foil)을 접착하고, 접착된 동박을 패터닝하여 배선 패턴층(14)이 형성된 구조를 갖는다. 배선 패턴층(14)은 기판 몸체의 하부면(15)에 형성된 하부 배선층(21)과, 기판 몸체의 상부면(17)에 형성된 상부 배선층(23)으로 구성된다. 하부 배선층(21)은 칩 실장 구멍(13)에 근접하게 형성된 기판 패드(24)와, 기판 패드(24)와 각

기 연결된 다수개의 솔더 볼 패드(26)를 포함한다. 상부 배선층(23)은 솔더 볼 패드(26)에 대응되는 위치에 형성된 접속 패드(28)를 포함한다.

<30> 하부 배선층(21)과 상부 배선층(23)을 연결하기 위한 비아 홀(16)이 기판 몸체(12)를 관통하여 형성되며, 본 발명의 실시예에 따른 비아 홀(16)은 서로 대응되는 솔더 볼 패드(26)와 접속 패드(28) 사이의 기판 몸체(12)를 관통하여 형성되어 서로 대응되는 솔더 볼 패드(26)와 접속 패드(28)를 전기적으로 연결한다. 비아 홀(16)의 내벽은 무전해 도금으로 구리(Cu)가 도금되며, 비아 홀(16)의 내부는 솔더(solder)와 같은 저융점의 도전성 금속으로 충전되어 있다.

<31> 그리고, 기판 몸체(12) 및 배선 패턴층(14)을 보호하기 위하여 기판 몸체(12)의 전표면에 솔더 레지스트 층(18)이 형성되며, 배선 패턴층(14) 중에서 기판 몸체 하부면의 기판 패드(24)와 솔더 볼 패드(26), 기판 몸체 상부면의 접속 패드(28)에는 형성되지 않는다. 특히, 기판 몸체의 하부면(15)에 형성된 솔더 레지스트 층(18)은 기판 패드(24)가 노출된 칩 실장 구멍(13) 주위를 둘러싸는 형태로 형성되며, 칩 실장 구멍(13)을 둘러싸는 솔더 레지스트 층(18)의 가장자리 부분은 성형 공정에서 액상의 성형 수지가 솔더 레지스트 층(18) 면으로 번지는 것을 막는 댐의 역할을 담당한다.

<32> 상기와 같은 구조를 갖는 배선기판의 칩 실장 구멍(13)에 반도체 칩(30)이 삽입되며, 반도체 칩의 활성면(32)에는 다수개의 전극 패드(34)가 형성되어 있다. 그리고 반도체 칩(30)이 칩 실장 구멍(13)에 삽입될 때, 반도체 칩의 활성면(32)이 기판 몸체의 하부면(15)을 향하도록 칩 실장 구멍(13)에 삽입된다.

<33> 반도체 칩의 전극 패드(34)와 배선기판의 기판 패드(24)는 본딩 와이어(40)로 연결하며, 본딩 와이어(40)의 일단은 반도체 칩의 전극 패드(34)에 웨지 본딩되고, 일단과

연결된 타단 또한 배선기판의 기판 패드(24)에 웨지 본딩된다. 본딩 와이어(40)로는 금(Au) 또는 구리(Cu) 소재의 금속 세션이 사용될 수 있다.

<34> 이와 같이 웨지 본딩법으로 반도체 칩의 전극 패드(34)와 배선기판의 기판 패드(24)를 전기적으로 연결함으로써, 배선기판의 하부면(15)에 대한 본딩 와이어(40)의 최고점의 높이를 0.05mm 수준으로 제어할 수 있다. 하지만 통상적인 볼 본딩법으로 반도체 칩의 전극 패드와 배선기판의 기판 패드를 전기적으로 연결할 경우, 배선기판의 하부면에 대한 본딩 와이어의 최고점의 높이를 0.05mm 수준으로 제어하는 것이 쉽지 않다.

<35> 수지 봉합부(50)는 칩 실장 구멍(13)을 포함하여 솔더 레지스트 층(18)이 형성되지 않은 배선기판 하부면(15)의 영역 즉, 반도체 칩(30)이 삽입된 칩 실장 구멍(13)과 본딩 와이어(40)로 연결된 기판 패드(24)에 부분에 액상의 성형수지로 투입하여 형성된다. 이때, 배선기판 하부면의 칩 실장 구멍(13) 주위에 노출된 기판 패드(24) 주위를 둘러싸는 솔더 레지스트 층(18)의 가장자리 부분은 수지 봉합부(50)를 형성하는 액상의 성형수지가 솔더 레지스트 층(18)이 형성된 면으로 번지는 것을 막는다.

<36> 한편 도시되지는 않았지만, 배선기판의 칩 실장 구멍(13)은 관통되어 있기 때문에, 반도체 칩(30)을 배선기판의 칩 실장 구멍(13)에 삽입하는 공정에서부터 수지 봉합부(50)를 형성할 때까지, 반도체 칩(30)을 지지하는 접착 테이프가 칩 실장 구멍(13)을 포함하도록 배선기판의 상부면(17)에 부착되어 있다. 물론 배선기판의 칩 실장 구멍(13)에 삽입된 반도체 칩(30)의 배면은 접착 테이프에 부착되어 지지되며, 접착 테이프는 수지 봉합부(50)를 형성하는 성형 공정 이후에 제거되기 때문에 완제품 상태의 반도체 패키지(100)에는 도시하지 않았다.

<37> 그리고 배선기판 하부면의 솔더 볼 패드(26)에 솔더 볼을 부착한 상태에서 리플로 우하여 솔더 볼(60)을 형성한다. 반도체 패키지(100)를 외부기기에 실장할 수 있도록, 배선기판의 하부면(15)에 형성된 솔더 볼(60)의 끝단은 적어도 배선기판의 하부면(17)에 돌출되게 형성된 수지 봉합부(50)의 표면보다는 아래에 형성된다.

<38> 이때 수지 봉합부(50)가 형성된 배선기판의 하부면(15)에 솔더 볼(60)을 형성한 목적은 반도체 패키지(100)의 두께를 줄이기 위해서이다. 즉, 수지 봉합부가 형성된 배선기판의 하부면에 반대되는 상부면에 솔더 볼을 형성할 때보다는 수지 봉합부(50)가 형성된 배선기판의 하부면(15)에 솔더 볼(60)을 형성함으로써, 배선기판의 하부면(15)으로 노출된 수지 봉합부(50)의 두께에 해당되는 만큼의 두께를 줄일 수 있다. 예컨대, 배선기판 하부면(15)에 대하여 돌출된 본딩 와이어(40)의 최고점의 높이가 0.05mm이기 때문에, 본딩 와이어(40)를 덮는 수지 봉합부(50)의 높이를 고려하게 되면 0.05mm 이상의 높이를 줄일 수 있다. 그리고 수지 봉합부(50)의 높이를 고려할 때, 배선기판 하부면(15)에 대하여 돌출된 솔더 볼(60)은 약 0.08mm 높이(t2)로 형성하는 것이 바람직하다.

<39> 따라서 본 발명에 따른 반도체 패키지(100)는 약 0.2mm 두께로 제어가 가능하다. 즉, 배선기판(10)의 두께(t1)는 약 0.12mm, 배선기판의 하부면(15)에 대한 솔더 볼(60)의 높이(t2)는 0.08mm로 제어할 수 있기 때문에, 전체적인 반도체 패키지(100)는 약 0.2mm 두께(t)로 제어가 가능하다.

<40> 이와 같은 구조를 갖는 초박형의 반도체 패키지들을 3차원으로 적층함으로써, 적층 패키지의 박형화를 구현할 수 있다. 도 4는 도 3의 반도체 패키지들(100)을 3차원으로 적층한 본 발명의 다른 실시예에 따른 적층 패키지(200)를 보여주는 단면도이다.

<41> 도 4를 참조하면, 본 발명의 다른 실시예에 따른 적층 패키지(200)는 본 발명의 실시예에 따른 반도체 패키지(100) 5개를 3차원으로 적층하되, 상대적으로 하부에 위치하는 반도체 패키지의 상부면에 노출된 접속 패드(28)에 상대적으로 상부에 위치하는 반도체 패키지의 솔더 볼(60)을 정렬 및 용착시켜 적층된 구조를 갖는다. 이때 적층된 반도체 패키지(100) 중에서 최하부에 위치하는 반도체 패키지(100a)의 솔더 볼(60a)은 외부 기기에 실장할 수 있는 외부접속단자로 사용된다.

<42> 이와 같이 반도체 패키지들(100)을 3차원으로 적층이 가능한 이유는, 반도체 패키지의 상부면과 하부면에 형성된 솔더 볼 패드(26)와 접속 패드(28)가 수직 방향으로 동일 위치에 형성되어 있기 때문이다. 동일한 반도체 칩이 실장된 반도체 패키지들을 3차원으로 적층하여 적층 패키지를 구현할 경우, 동일한 단자가 서로 수직으로 병렬(parallel) 연결된 병렬 패키지(parallel package)로 구현할 수 있다.

<43> 예컨대, 본 발명의 실시예에 따른 반도체 패키지(100) 한 개가 약 0.2mm의 두께를 갖기 때문에, 5개의 반도체 패키지(100)를 적층한 경우, 본 발명의 다른 실시예에 따른 적층 패키지(200)는 약 1.0mm 이하의 두께로 제어가 가능하다. 즉, 반도체 패키지(100)를 용착하는 과정에서 솔더 볼(60)의 높이가 낮아지기 때문에, 약 0.2mm의 두께를 갖는 반도체 패키지(100)를 5개 적층하더라도 적층 패키지(200)의 두께는 약 1.0mm 이하의 두께를 갖게 된다.

<44> 본 발명의 다른 실시예에서는 5개의 반도체 패키지(100)가 적층된 적층 패키지(200)를 개시하였지만, 2개 이상의 반도체 패키지를 3차원으로 적층하여 적층 패키지를 구현할 수 있음은 당연하다.

<45> 한편, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돋기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

【발명의 효과】

<46> 따라서, 본 발명의 구조를 따르면 배선기판의 칩 실장 구멍에 반도체 칩이 삽입되고, 그 반도체 칩과 배선기판이 웨지 본딩법으로 서로 전기적으로 연결되며, 수지 봉합부가 형성되는 배선기판의 하부면에 솔더 볼을 형성함으로써, 초박형의 반도체 패키지를 구현할 수 있다.

<47> 그리고 그 초박형의 반도체 패키지를 다수개를 3차원으로 적층하여 박형의 적층 패키지를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

중심부분에 칩 실장 구멍이 형성된 기판 몸체와,
상기 기판 몸체의 상부면과 하부면에 형성된 배선 패턴층으로, 상기 기판 몸체의
하부면에 형성되며 상기 칩 실장 구멍에 근접하게 형성된 기판 패드와, 상기 기판 패드
와 각기 연결된 다수개의 솔더 볼 패드를 갖는 하부 배선층과, 상기 기판 몸체의 상부면
에 형성되며 상기 솔더 볼 패드에 대응되는 위치에 형성된 접속 패드를 갖는 상부 배선
층을 포함하는 배선 패턴층과,
서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드 사이의 상기 기판 몸체를 관통
하여 형성되며, 서로 대응되는 상기 솔더 볼 패드와 상기 접속 패드를 전기적으로 연결
하는 비아를 포함하는 배선기판과;
활성면에 다수개의 전극 패드가 형성된 반도체 칩으로, 상기 활성면이 상기 기판
몸체의 하부면을 향하도록 상기 배선기판의 칩 실장 구멍에 삽입된 반도체 칩과;
일단이 상기 반도체 칩의 전극 패드에 웨지 본딩되고, 상기 일단과 연결된 타단이
상기 배선기판의 기판 패드에 웨지 본딩된 본딩 와이어와;
상기 반도체 칩이 삽입된 칩 실장 구멍을 포함하여 상기 본딩 와이어로 포함한 상
기 배선기판의 기판 패드 부분을 통합하는 수지 통합부; 및
상기 솔더 볼 패드에 형성되며, 상기 수지 통합부보다는 아래에 형성된 솔더 볼;을
포함하는 것을 특징으로 하는 반도체 패키지.

【청구항 2】

제 1항에 있어서, 상기 배선기판의 두께는 약 0.12mm이고, 상기 배선기판 하부면에서 솔더 볼까지의 높이가 0.08mm인 것을 특징으로 하는 반도체 패키지.

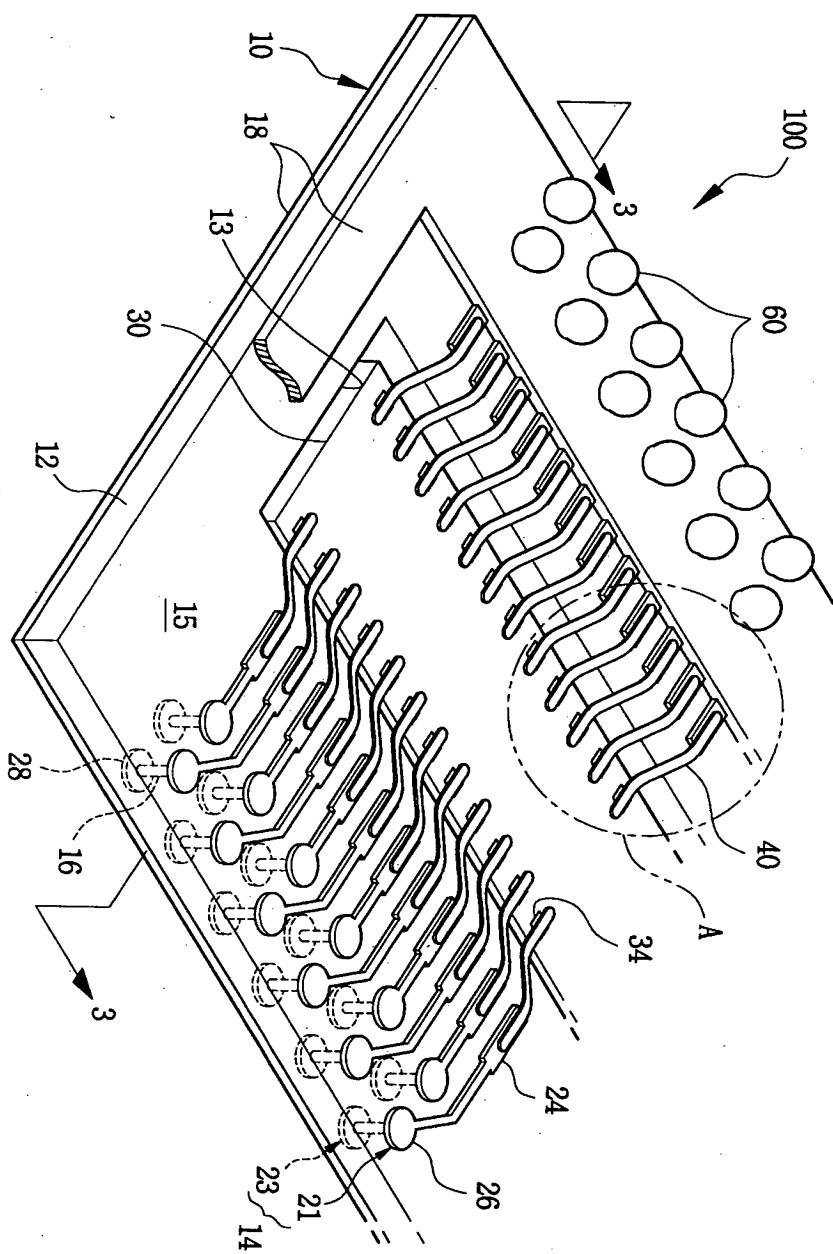
【청구항 3】

제 1항에 따른 반도체 패키지들을 3차원으로 적층한 적층 패키지로서, 상대적으로 하부에 위치하는 반도체 패키지의 상부면에 노출된 접속 패드에 상대적으로 상부에 위치하는 반도체 패키지의 하부면에 형성된 솔더 볼을 용착하여 적층하며,

적층된 반도체 패키지 중에서 최하부에 위치하는 반도체 패키지의 솔더 볼을 외부 접속단자로 사용하는 것을 특징으로 하는 적층 패키지.

【도면】

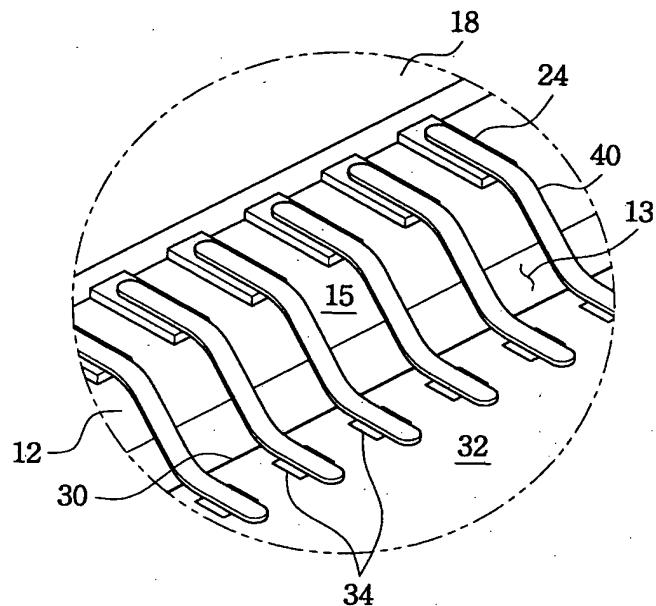
【도 1】



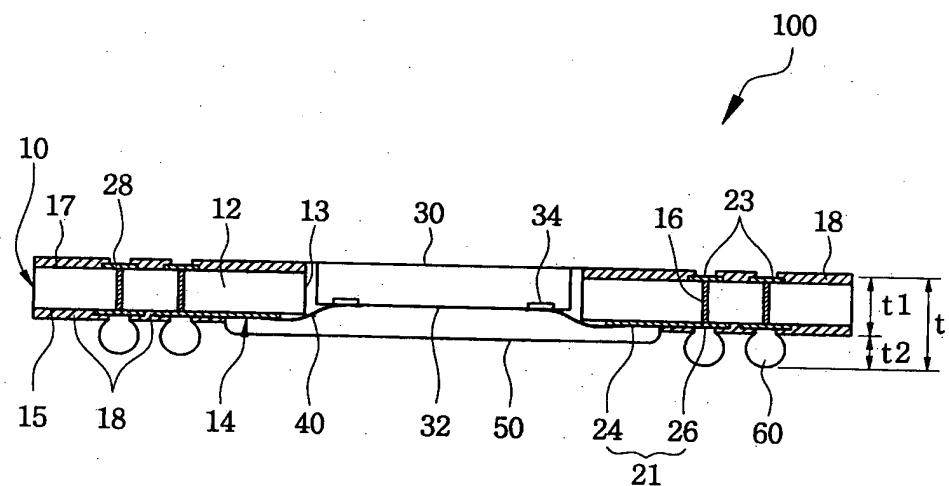
1020020074752

출력 일자: 2002/12/24

【도 2】



【도 3】



【도 4】

